日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: ２００２年１１月 ６日

出 願 番 号
Application Number: 特願２００２－３２２５４０

[ST. 10/C]: [ＪＰ２００２－３２２５４０]

出 願 人
Applicant(s): アルプス電気株式会社

２００３年 ８月１４日

特許庁長官
Commissioner,
Japan Patent Office 今井康夫

出証番号 出証特２００３－３０６５８６９

【書類名】　特許願
【整理番号】　AB02026
【提出日】　平成14年11月 6日
【あて先】　特許庁長官　殿
【国際特許分類】　G02F　1/133
G09G　3/20
G09G　3/36
【発明の名称】　ソースフォロア回路および液晶表示装置の駆動装置
【請求項の数】　10
【発明者】
【住所又は居所】　東京都大田区雪谷大塚町１番７号　アルプス電気株式会社内
【氏名】　藤由　達巳
【発明者】
【住所又は居所】　東京都大田区雪谷大塚町１番７号　アルプス電気株式会社内
【氏名】　川畑　賢
【特許出願人】
【識別番号】　000010098
【氏名又は名称】　アルプス電気株式会社
【代理人】
【識別番号】　100064908
【弁理士】
【氏名又は名称】　志賀　正武
【選任した代理人】
【識別番号】　100108578
【弁理士】
【氏名又は名称】　高橋　詔男

【選任した代理人】
　【識別番号】　100089037
　【弁理士】
　【氏名又は名称】　渡邊　隆
【選任した代理人】
　【識別番号】　100101465
　【弁理士】
　【氏名又は名称】　青山　正和
【選任した代理人】
　【識別番号】　100094400
　【弁理士】
　【氏名又は名称】　鈴木　三義
【選任した代理人】
　【識別番号】　100107836
　【弁理士】
　【氏名又は名称】　西　和哉
【選任した代理人】
　【識別番号】　100108453
　【弁理士】
　【氏名又は名称】　村山　靖彦
【手数料の表示】
　【予納台帳番号】　008707
　【納付金額】　21,000円
【提出物件の目録】
　【物件名】　明細書　1
　【物件名】　図面　1
　【物件名】　要約書　1
　【包括委任状番号】　9704956
【プルーフの要否】　要

【書類名】　　明細書

【発明の名称】　ソースフォロア回路および液晶表示装置の駆動装置

【特許請求の範囲】

【請求項１】　当該回路への入力電圧で負荷を駆動するソースフォロア回路において、

ＭＯＳトランジスタと、

前記ＭＯＳトランジスタのゲート電位を記憶する容量手段と、

前記ＭＯＳトランジスタへバイアス電流を供給するソース側電流源とドレイン側電流源とからなるバイアス電流供給手段と、

前記ＭＯＳトランジスタのソース電位を強制的に前記入力電圧にすることにより前記バイアス電流供給手段によって変動した前記ＭＯＳトランジスタのゲート電位を前記容量手段に保持した後、前記容量手段に保持されたゲート電位を、前記ＭＯＳトランジスタのゲートに印加して前記ＭＯＳトランジスタを動作させ、前記ソース側電流源を動作させることによって前記負荷を前記入力電圧で駆動する制御手段と

を具備することを特徴とするソースフォロア回路。

【請求項２】　前記ＭＯＳトランジスタは、ｎＭＯＳトランジスタとｐＭＯＳトランジスタとからなり、

前記制御手段は、前記入力電圧の値に基づいて、前記ｎＭＯＳトランジスタまたは前記ｐＭＯＳトランジスタのいずれか一方を選択的に駆動することを特徴とする請求項１記載のソースフォロア回路。

【請求項３】　前記容量手段の片側は、接地または定電位に接続されていることを特徴とする請求項１または２記載のソースフォロア回路。

【請求項４】　当該回路への入力電圧で負荷を駆動するソースフォロア回路において、

第１のＭＯＳトランジスタと、

前記第１のＭＯＳトランジスタのゲート電位を記憶する第１の容量手段と、

前記第１のＭＯＳトランジスタへバイアス電流を供給するソース側電流源とドレイン側電流源とからなる第１のバイアス電流供給手段と、

第２のＭＯＳトランジスタと、

前記第２のＭＯＳトランジスタのゲート電位を記憶する第２の容量手段と、

前記第２のＭＯＳトランジスタへバイアス電流を供給するドレイン側電流源とからなる第２のバイアス電流供給手段と、

前記第１のＭＯＳトランジスタのソース電位を強制的に前記入力電圧にすることにより前記第１のバイアス電流供給手段によって変動した前記第１のＭＯＳトランジスタのゲート電位を前記第１の容量手段に保持するとともに、前記第２のバイアス電流供給手段によって発生する前記第２のＭＯＳトランジスタのゲート電圧と前記入力電圧との差分の電位を、前記第２の容量手段に保持した後、前記第１の容量手段に保持されたゲート電位を、前記第１のＭＯＳトランジスタのゲートに印加して前記第１のＭＯＳトランジスタを動作させ、前記第２の容量手段に保持された差分の電位を前記負荷への出力電圧と、前記第２のＭＯＳトランジスタのゲートの間に印加して前記第２のＭＯＳトランジスタを動作させて、前記負荷を前記入力電圧で駆動する制御手段と

を具備することを特徴とするソースフォロア回路。

【請求項５】　前記第１のＭＯＳトランジスタおよび前記第２のＭＯＳトランジスタが共にｎＭＯＳトランジスタである第１の回路と、

前記第１のＭＯＳトランジスタおよび前記第２のＭＯＳトランジスタが共にｐＭＯＳトランジスタである第２の回路とを具備し、

前記制御手段は、前記入力電圧の値に基づいて、前記第１の回路または前記第２の回路のいずれか一方を選択的に駆動することを特徴とする請求項４記載のソースフォロア回路。

【請求項６】　画素電極が接続された薄膜トランジスタを介してクロス接続された走査線とデータ線とからなる液晶表示装置に対して、アナログ信号を前記データ線に送出するデータドライバを具備する液晶表示装置の駆動装置であって、

前記データドライバは、

ＭＯＳトランジスタと、

前記ＭＯＳトランジスタのゲート電位を記憶する容量手段と、

前記ＭＯＳトランジスタへバイアス電流を供給するソース側電流源とドレイン側電流源とからなるバイアス電流供給手段と、

前記ＭＯＳトランジスタのソース電位を強制的に前記入力電圧にすることにより前記バイアス電流供給手段によって変動した前記ＭＯＳトランジスタのゲート電位を前記容量手段に保持した後、前記容量手段に保持されたゲート電位を、前記ＭＯＳトランジスタのゲートに印加して前記ＭＯＳトランジスタを動作させ、前記ソース側電流源を動作させることによって前記負荷を前記入力電圧で駆動する制御手段とからなるバッファ回路を具備することを特徴とする液晶表示装置の駆動装置。

【請求項７】　前記ＭＯＳトランジスタは、ｎＭＯＳトランジスタとｐＭＯＳトランジスタとからなり、

前記制御手段は、前記入力電圧の値に基づいて、前記ｎＭＯＳトランジスタまたは前記ｐＭＯＳトランジスタのいずれか一方を選択的に駆動することを特徴とする請求項６記載の液晶表示装置の駆動装置。

【請求項８】　前記容量手段の片側は、接地または定電位に接続されていることを特徴とする請求項６または７記載の液晶表示装置の駆動装置。

【請求項９】　画素電極が接続された薄膜トランジスタを介してクロス接続された走査線とデータ線とからなる液晶表示装置に対して、アナログ信号を前記データ線に送出するデータドライバを具備する液晶表示装置の駆動装置であって、

前記データドライバは、

第１のＭＯＳトランジスタと、

前記第１のＭＯＳトランジスタのゲート－ソースバイアス電圧を記憶する第１の容量手段と、

前記第１のＭＯＳトランジスタへバイアス電流を供給するソース側電流源とドレイン側電流源とからなる第１のバイアス電流供給手段と、

第２のＭＯＳトランジスタと、

前記第２のＭＯＳトランジスタのゲート電位を記憶する第２の容量手段と、

前記第２のＭＯＳトランジスタへバイアス電流を供給するドレイン側電流源と

からなる第２のバイアス電流供給手段と、

前記第１のＭＯＳトランジスタのソース電位を強制的に前記入力電圧にすることにより前記第１のバイアス電流供給手段によって変動した前記第１のＭＯＳトランジスタのゲート電位を前記第１の容量手段に保持するとともに、前記第２のバイアス電流供給手段によって発生する前記第２のＭＯＳトランジスタのゲート電圧と前記入力電圧との差分の電位を、前記第２の容量手段に保持した後、前記第１の容量手段に保持されたゲート電位を、前記第１のＭＯＳトランジスタのゲートに印加して前記第１のＭＯＳトランジスタを動作させ、前記第２の容量手段に保持された差分の電位を前記負荷への出力電圧と、前記第２のＭＯＳトランジスタのゲートの間に印加して前記第２のＭＯＳトランジスタを動作させて、前記負荷を前記入力電圧で駆動する制御手段とからなるバッファ回路を具備することを特徴とする液晶表示装置の駆動装置。

【請求項１０】　前記データドライバは、

さらに、前記第１のＭＯＳトランジスタおよび前記第２のＭＯＳトランジスタが共にｎＭＯＳトランジスタである第１の回路と、

前記第１のＭＯＳトランジスタおよび前記第２のＭＯＳトランジスタが共にｐＭＯＳトランジスタである第２の回路とを具備し、

前記制御手段は、前記入力電圧の値に基づいて、前記第１の回路または前記第２の回路のいずれか一方を選択的に駆動することを特徴とする請求項９記載の液晶表示装置の駆動装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、低消費電カアナログバッファ回路および駆動回路装置に関し、特に液晶表示装置のソースドライバの出力段に用いられるソースフォロア回路および液晶表示装置の駆動装置に関する。

【０００２】

【従来の技術】

液晶表示装置は、図８に示すように走査線１、データ線２、薄膜トランジスタ

３、画素電極４、液晶を介した対向電極（図示略）からなる。走査線１は、スキャンドライバ１０により順次選択され、データドライバ１１は、アナログ信号をデータ線２に送出する。

【０００３】

データドライバ１１は、タイミングコントロール９に従って、シフトレジスタ・データラッチ１２によりマルチプレクスされたデジタル信号を各チャネルに分配し、Ｒ－Ｓｔｒｉｎｇ１３およびＤ／Ａコンバータ１４によりＤＡ変換し、バッファ１５を介し、データ線２に送出する。バッファ１５は、容量負荷を有するデータ線２を速やかに駆動するために必要とされ、図９に示すオペアンプを用いた回路が一般に用いられている（例えば、特許文献１参照。）。

【０００４】

【特許文献１】

特開２０００－３３８４６１号公報

【０００５】

【発明が解決しようとする課題】

ところで、図９において、出力段に使用されるオペアンプＰ３は、その動作の維持のため、バイアス電流Ｉ１、Ｉ２が必要とされる。特に、バイアス電流Ｉ２は、負荷を駆動するために大きな値にしなければいけない。例えば、負荷Ｃｌｏａｄ＝３０ｐＦとし、Ｖｏｕｔ＝５Ｖをｔ＝５μｓｅｃで書き込む場合、少なくとも、バイアス電流Ｉ２は、Ｉ２＝Ｃｌｏａｄ×Ｖｏｕｔ／ｔ＝３０μＡ必要になる。

【０００６】

しかしながら、従来、Ｖｏｕｔが５Ｖ以下であっても、書き込みが終了した後においても上記バイアス電流Ｉ２を流していたために、このような回路でＱＶＧＡパネル（３２０×ＲＧＢ）を駆動しようとすると、

Ｉ２×３２０×３×５＝１４４ｍＷ

をオペアンプＰ３の出力段だけで消費することになる。

【０００７】

本来、負荷の充放電に要する電力を簡易的に見積もると、

Ｉ／２ｆＣＶ^2＝１／２×（６０Ｈｚ×２４０）×（３０ｐＦ×３２０×３）×（５Ｖ）^{2}　＝　５．２ｍＷ

となる。実際には、書き込み終了時にバイアス電流をカットオフするなどの低電力化の対応をしていたが、該対応だけでは十分では無く、ほとんどはオペアンプ内のロスとして消費されている。すなわち、液晶表示装置が携帯端末として使われる場合には、低消費電力化が要求されるため、バッファ１５の消費電力が大きな問題となっている。

【０００８】

この発明は上述した事情に鑑みてなされたもので、出力段部のロスを極力減らし、データドライバ、ひいては液晶表示装置全体の低消費電力化を実現することができるソースフォロア回路および液晶表示装置の駆動装置を提供することを目的とする。

【０００９】

【課題を解決するための手段】

上述した問題点を解決するために、請求項１記載の発明では、当該回路への入力電圧で負荷を駆動するソースフォロア回路において、ＭＯＳトランジスタと、前記ＭＯＳトランジスタのゲート電位を記憶する容量手段と、前記ＭＯＳトランジスタへバイアス電流を供給するソース側電流源とドレイン側電流源とからなるバイアス電流供給手段と、前記ＭＯＳトランジスタのソース電位を強制的に前記入力電圧にすることにより前記バイアス電流供給手段によって変動した前記ＭＯＳトランジスタのゲート電位を前記容量手段に保持した後、前記容量手段に保持されたゲート電位を、前記ＭＯＳトランジスタのゲートに印加して前記ＭＯＳトランジスタを動作させ、前記ソース側電流源を動作させることによって前記負荷を前記入力電圧で駆動する制御手段とを具備することを特徴とする。

【００１０】

また、請求項２記載の発明では、請求項１記載のソースフォロア回路において、前記ＭＯＳトランジスタは、ｎＭＯＳトランジスタとｐＭＯＳトランジスタとからなり、前記制御手段は、前記入力電圧の値に基づいて、前記ｎＭＯＳトランジスタまたは前記ｐＭＯＳトランジスタのいずれか一方を選択的に駆動すること

を特徴とする。

【００１１】

また、請求項３記載の発明では、請求項１または２記載のソースフォロア回路において、前記容量手段の片側は、接地または定電位に接続されていることを特徴とする。

【００１２】

また、上述した問題点を解決するために、請求項４記載の発明では、当該回路への入力電圧で負荷を駆動するソースフォロア回路において、第１のＭＯＳトランジスタと、前記第１のＭＯＳトランジスタのゲート電位を記憶する第１の容量手段と、前記第１のＭＯＳトランジスタへバイアス電流を供給するソース側電流源とドレイン側電流源とからなる第１のバイアス電流供給手段と、第２のＭＯＳトランジスタと、前記第２のＭＯＳトランジスタのゲート電位を記憶する第２の容量手段と、前記第２のＭＯＳトランジスタへバイアス電流を供給するドレイン側電流源とからなる第２のバイアス電流供給手段と、前記第１のＭＯＳトランジスタのソース電位を強制的に前記入力電圧にすることにより前記第１のバイアス電流供給手段によって変動した前記第１のＭＯＳトランジスタのゲート電位を前記第１の容量手段に保持するとともに、前記第２のバイアス電流供給手段によって発生する前記第２のＭＯＳトランジスタのゲート電圧と前記入力電圧との差分の電位を、前記第２の容量手段に保持した後、前記第１の容量手段に保持されたゲート電位を、前記第１のＭＯＳトランジスタのゲートに印加して前記第１のＭＯＳトランジスタを動作させ、前記第２の容量手段に保持された差分の電位を前記負荷への出力電圧と、前記第２のＭＯＳトランジスタのゲートの間に印加して前記第２のＭＯＳトランジスタを動作させて、前記負荷を前記入力電圧で駆動する制御手段とを具備することを特徴とする。

【００１３】

また、請求項５記載の発明では、請求項４記載のソースフォロア回路において、前記第１のＭＯＳトランジスタおよび前記第２のＭＯＳトランジスタが共にｎＭＯＳトランジスタである第１の回路と、前記第１のＭＯＳトランジスタおよび前記第２のＭＯＳトランジスタが共にｐＭＯＳトランジスタである第２の回路と

を具備し、前記制御手段は、前記入力電圧の値に基づいて、前記第１の回路または前記第２の回路のいずれか一方を選択的に駆動することを特徴とする。

【００１４】

また、上述した問題点を解決するために、請求項６記載の発明では、画素電極が接続された薄膜トランジスタを介してクロス接続された走査線とデータ線とからなる液晶表示装置に対して、アナログ信号を前記データ線に送出するデータドライバを具備する液晶表示装置の駆動装置であって、前記データドライバは、ＭＯＳトランジスタと、前記ＭＯＳトランジスタのゲート電位を記憶する容量手段と、前記ＭＯＳトランジスタへバイアス電流を供給するソース側電流源とドレイン側電流源とからなるバイアス電流供給手段と、前記ＭＯＳトランジスタのソース電位を強制的に前記入力電圧にすることにより前記バイアス電流供給手段によって変動した前記ＭＯＳトランジスタのゲート電位を前記容量手段に保持した後、前記容量手段に保持されたゲート電位を、前記ＭＯＳトランジスタのゲートに印加して前記ＭＯＳトランジスタを動作させ、前記ソース側電流源を動作させることによって前記負荷を前記入力電圧で駆動する制御手段とからなるバッファ回路を具備することを特徴とする。

【００１５】

また、請求項７記載の発明では、請求項６記載の液晶表示装置の駆動装置において、前記ＭＯＳトランジスタは、ｎＭＯＳトランジスタとｐＭＯＳトランジスタとからなり、前記制御手段は、前記入力電圧の値に基づいて、前記ｎＭＯＳトランジスタまたは前記ｐＭＯＳトランジスタのいずれか一方を選択的に駆動することを特徴とする。

【００１６】

また、請求項８記載の発明では、請求項６または７記載の液晶表示装置の駆動装置において、前記容量手段の片側は、接地または定電位に接続されていることを特徴とする。

【００１７】

また、上述した問題点を解決するために、請求項９記載の発明では、画素電極が接続された薄膜トランジスタを介してクロス接続された走査線とデータ線とか

らなる液晶表示装置に対して、アナログ信号を前記データ線に送出するデータドライバを具備する液晶表示装置の駆動装置であって、　前記データドライバは、

第１のＭＯＳトランジスタと、前記第１のＭＯＳトランジスタのゲートーソースバイアス電圧を記憶する第１の容量手段と、前記第１のＭＯＳトランジスタへバイアス電流を供給するソース側電流源とドレイン側電流源とからなる第１のバイアス電流供給手段と、第２のＭＯＳトランジスタと、前記第２のＭＯＳトランジスタのゲート電位を記憶する第２の容量手段と、前記第２のＭＯＳトランジスタへバイアス電流を供給するドレイン側電流源とからなる第２のバイアス電流供給手段と、前記第１のＭＯＳトランジスタのソース電位を強制的に前記入力電圧にすることにより前記第１のバイアス電流供給手段によって変動した前記第１のＭＯＳトランジスタのゲート電位を前記第１の容量手段に保持するとともに、前記第２のバイアス電流供給手段によって発生する前記第２のＭＯＳトランジスタのゲート電圧と前記入力電圧との差分の電位を、前記第２の容量手段に保持した後、前記第１の容量手段に保持されたゲート電位を、前記第１のＭＯＳトランジスタのゲートに印加して前記第１のＭＯＳトランジスタを動作させ、前記第２の容量手段に保持された差分の電位を前記負荷への出力電圧と、前記第２のＭＯＳトランジスタのゲートの間に印加して前記第２のＭＯＳトランジスタを動作させて、前記負荷を前記入力電圧で駆動する制御手段とからなるバッファ回路を具備することを特徴とする。

【００１８】

また、請求項１０記載の発明では、請求項９記載の液晶表示装置の駆動装置において、前記データドライバは、さらに、前記第１のＭＯＳトランジスタおよび前記第２のＭＯＳトランジスタが共にｎＭＯＳトランジスタである第１の回路と、前記第１のＭＯＳトランジスタおよび前記第２のＭＯＳトランジスタが共にｐＭＯＳトランジスタである第２の回路とを具備し、前記制御手段は、前記入力電圧の値に基づいて、前記第１の回路または前記第２の回路のいずれか一方を選択的に駆動することを特徴とする。

【００１９】

この発明では、制御手段により、前記ＭＯＳトランジスタのソース電位を強制

的に前記入力電圧にすることにより前記バイアス電流供給手段によって変動した前記ＭＯＳトランジスタのゲート電位を前記容量手段に保持した後、前記容量手段に保持されたゲート電位を、前記ＭＯＳトランジスタのゲートに印加して前記ＭＯＳトランジスタを動作させ、前記ソース側電流源を動作させることによって前記負荷を前記入力電圧で駆動する。したがって、出力段部のロスを極力減らし、データドライバ、ひいては液晶表示装置全体の低消費電力化を実現することが可能となる。

【００２０】

【発明の実施の形態】

以下、図面を用いて本発明の実施の形態を説明する。

Ａ．第１実施形態

図１は、本発明の第１実施形態によるアナログバッファ回路の構成を示す等価回路図である。図１において、ｎＭＯＳトランジスタ２０と、同じ電流を流す電流源２１，２２がそれぞれ、ドレインＤ、ソースＳに接続され、ゲートＧと入力の間に入力容量Ｃｉｎが接続されている。また、ｓｅｔ信号で閉じるアナログスイッチＳＷ１、ｗｒｉｔｅ信号で閉じるアナログスイッチＳＷ２が図示するように接続されている。また、動作は、プリチャージ期間、書き込み期間、保持期間の３つの状態からなる。

【００２１】

図２は、本第１実施形態によるアナログバッファ回路の動作を説明するためのタイミングチャートである。

【００２２】

（ａ）プリチャージ期間

ｓｅｔ信号はｈｉｇｈとなると、アナログスイッチＳＷ１がオン状態となり、ｎＭＯＳトランジスタ２０には電流源２１からドレイン電流Ｉ１が流れる。ゲート・ソース間の電圧Ｖｇｓは、ドレイン電流Ｉ１に見合うように自動的にバイアスされる。また、ソース電位はＶｉｎにセットされるが、ソースノードの入出力電流の関係からＶｉｎからソースノードへは、電流は流れ込まない。すなわち、入力インピーダンスは、十分大きい値が確保される。

このようにして、ｎＭＯＳトランジスタ２０がドレイン電流Ｉ１で、ソース電位Ｖｉｎを保つようなＶｇｓ（ｐｒｅ）が入力容量Ｃｉｎに保持される。そのときゲート電位はＶｉｎ＋Ｖｇｓ（ｐｒｅ）となる。

一方負荷Ｃｌｏａｄは、Ｖｓｓに放電される。

【００２３】

（ｂ）書き込み期間

ｓｅｔ信号がｌｏｗ、ｗｒｉｔｅ信号がｈｉｇｈとなると、アナログスイッチＳＷ１がオフ状態、アナログスイッチＳＷ２がオン状態となる。ゲート電位は、Ｖｉｎ＋Ｖｇｓ（ｐｒｅ）のままであるが、ｎＭＯＳトランジスタ２０は、ソースフォロワ動作し、負荷容量Ｃｌｏａｄを充電しながら、ソース電位がＶｉｎ、ドレイン電流がＩ１で安定状態となる。ドレイン電流Ｉ１が小さすぎると、ｎＭＯＳトランジスタ２０は、カットオフ寸前で動作することになり、ソース電位がＶｉｎに近づくと駆動能力が急激に低下する。Ｉ１＝１μＡ程度とすることで、３０ｐＦを４μｓｅｃ以下で充電することが可能である。

【００２４】

（ｃ）保持期間

負荷容量への書き込みが終わったタイミングで、ｓｅｔ信号、ｗｒｉｔｅ信号ともｌｏｗにすると、アナログスイッチＳＷ１，ＳＷ２がオフ状態となる。これにより、負荷容量に書き込み電圧を保持する。これと同時に、２つの電流源２１，２２を強制的にオフする。これにより微小なバイアス電流Ｉ１も完全に止まることになり、電流消費が全くなくなる。

【００２５】

上述した動作によれば、バッファ部消費電力を約１７ｍＷにすることができた。また、上述した動作は、ｎＭＯＳトランジスタ２０を用いた場合だが、回路を対象に構成することで、ｐＭＯＳトタンジスタで構成してもよい。

【００２６】

Ｂ．第２実施形態

次に、本発明の第２実施形態について説明する。上述した第１実施形態では、電流源２１，２２での電圧降下と、ｎＭＯＳトランジスタ２０の動作領域とを飽

和領域に維持するため、ＯＵＴはＶｄｄより１Ｖ程度低いところまでしか動作しない。ｐＭＯＳトランジスタの場合には、逆にＶｓｓより１Ｖ程度高いところまでしか動作しない。これを解決したのが第２実施形態である。

【００２７】

図３は、本発明の第２実施形態によるアナログバッファ回路の構成を示す等価回路図である。制御信号発生回路３０は、インバータ２段のラッチ回路３１と、該ラッチ回路３１から発生する制御信号を作る回路３２とからなる。ラッチ回路３１により、入力信号ＩＮは、電源電圧の約半分の閾値（Ｖｌｔ）で振り分けられ、ラッチされる。すなわち、ＩＮ＜Ｖｌｔでｓｅｌ＝Ｌｏｗ、ＩＮ＞＝Ｖｌｔでｓｅｌ＝Ｈｉｇｈとなる。

【００２８】

スイッチＳＷ４は、Ｌａｔｃｈ信号（ネガティブ）によりオン状態となり、スイッチＳＷ５は、Ｌａｔｃｈ信号によりオン状態となる。ＷＲｎは、書き込み期間にｎＭＯＳトランジスタ３５経由で充電するスイッチＳＷ７を閉じる制御信号、ＷＲｐは、同じくｐＭＯＳトランジスタ３６側の信号で、スイッチＳＷ８を閉じる。また、スイッチＳＷ９は、Ｓｅｌ信号（ネガティブ）によりオン状態となる。また、スイッチＳＷ１０は、Ｓｅｌ信号によりオン状態となる。また、電流源としては、ｐＭＯＳトランジスタ３７、ｎＭＯＳトランジスタ３８を用いている。

【００２９】

図４は、本第２実施形態によるアナログバッファ回路の動作を説明するためのタイミングチャートである。図４に示す１Ｈ期間は、ＩＮ＜Ｖｌｔであり、Ｓｅｌ＝Ｌｏｗとなる。したがって、プリチャージ期間にＯＵＴはＶｓｓ側に放電される。次の書き込み期間では、ＷＲｎ信号によりスイッチＳＷ７が閉じ、ｎＭＯＳトランジスタ３５のソースフォロア回路により、ＯＵＴは所望の電位充電される。

【００３０】

２Ｈ期間は、ＩＮ＞Ｖｌｔであり、Ｓｅｌ＝Ｈｉｇｈとなる。したがって、プリチャージ期間にＯＵＴはＶｄｄで充電される。次の書き込み期間では、ＷＲｐ

信号によりスイッチＳＷ８が閉じ、ｐＭＯＳトランジスタ３６のソースフォロア回路により、ＯＵＴは所望の電位まで放電される。

【００３１】

このようにして、Ｖｌｔより下側では、ｎＭＯＳトランジスタ３５のソースフォロア回路が動作し、Ｖｌｔより上側では、ｐＭＯＳトランジスタ３６のソースフォロア回路が動作し、ＶｓｓからＶｄｄのほぼ全域で動作することができる。

【００３２】

Ｃ．第３実施形態

次に、本発明の第３実施形態について説明する。図５は、本発明の第３実施形態によるアナログバッファ回路の構成を示す等価回路図である。なお、図１に対応する部分には同一の符号を付けて説明を省略する。入力容量Ｃｉｎの片側のノードがグランドに接続されている。プリチャージ期間のゲート電位は、Ｖｇｓ（ｐｒｅ）＋Ｖｉｎであり、この電圧がそのまま容量Ｃｉｎに保持される。したがって、書き込み期間に入力ＩＮが切り離されても、Ｖｉｎの情報は保たれ、第１実施形態と同様な動作を行う。

【００３３】

一般に、ＩＣ上に容量を形成する場合、プロセスによっては、安定な容量形成は片側の電極を基板電位にせざるを得ない場合がある。このような場合、本第３実施形態の回路構成が有効になる。また、書き込み期間には、入力ＩＮを切り離すことが可能で、Ｖｉｎ側のＤＡ変換処理を並列に行えるメリットもある。

【００３４】

Ｄ．第４実施形態

次に、本発明の第４実施形態について説明する。前述した第１ないし第３実施形態においては、ソースフォロアの出力電圧範囲に制限があることより、書き込み動作前にプリチャージ動作が必要となる。このことは、本来必要な出力電圧以上に負荷が駆動される事があることを示しており、まだ無駄な電力消費がある。これを解決したのが第４実施形態である。

【００３５】

図６は、本発明の第４実施形態によるアナログバッファ回路の構成を示す等価

回路図である。動作タイミングは、第１実施形態と同じく図２の通りであるが、負荷Ｃｌｏａｄの放電動作は行わない。図６において、ＭＯＳトランジスタＱ１は、図１と同じ動作を行う。ＭＯＳトランジスタＱ１は、負荷容量Ｃｌｏａｄに向かって電流を供給する機能を果たす。

【００３６】

一方、ＭＯＳトランジスタＱ２は、Ｉ２に見合うゲート・ソース間電圧Ｖｇｓにバイアスされた状態での入力電位とゲート電位の差分の電位が入力容量Ｃｉｎ２に保持されているので、書き込み期間においては、負荷容量Ｃｌｏａｄの電位がＶｉｎになった時にドレイン電流がＩ２になる。

【００３７】

ここで、Ｉ１＝Ｉ２としておくと、Ｖｉｎ＜負荷容量Ｃｌｏａｄの電位のときは、負荷容量Ｃｌｏａｄの電位がＶｉｎになるまでＭＯＳトランジスタＱ２が電流を引き込む動作を行い、ＭＯＳトランジスタＱ１はカットオフし、Ｖｉｎ＞負荷容量Ｃｌｏａｄの電位のときは、負荷容量Ｃｌｏａｄの電位がＶｉｎになるまでＭＯＳトランジスタＱ１が電流を供給する動作を行い、ＭＯＳトランジスタＱ２はカットオフする。

このように、本発明の第４実施形態では、負荷容量Ｃｌｏａｄに対してプッシュプル動作が可能となる。ゆえに、プリチャージ動作が不要となり、プリチャージ動作での電力消費を削減でき、さらに低電力化が実現できる。

【００３８】

Ｅ．第５実施形態

次に、本発明の第５実施形態について説明する。上述した第４実施形態では、第１実施形態と同様に、図６に示すＭＯＳトランジスタＱ１の動作領域を飽和領域に維持するため、ＯＵＴはＶｄｄより１Ｖ程度低いところまでしか動作しない。これを解決したのが第５実施形態である。

【００３９】

図７は、本発明の第５実施形態によるによるアナログバッファ回路の構成を示す等価回路図である。なお、動作説明のためのタイミングチャートは図４と同じである。第２実施形態と同様に、制御信号発生回路４０を用いる。制御信号発生

回路４０では、第２実施形態と同じく、ＩＮ＜Ｖｌｔでｓｅｌ＝ｌｏｗ、ＩＮ＞＝ＶＩｔでｓｅｌ＝Ｈｉｇｈとなるが、ｓｅｌ信号とｓｅｔ信号とにより、ＳＴｎ信号、ＳＴｐ信号が新たに出力される。スイッチＳＷｌｌは、ＳＴｎ信号によりオン状態となり、スイッチＳＷｌ２は、ＳＴｐ信号によりオン状態となる。これらのＳＴｎ信号、ＳＴｐ信号を用いて、ＩＮ＜ＶｌｔでｎＭＯＳトランジスタＱ１，Ｑ２が機能し、ＩＮ＞＝ＶｌｔでｐＭＯＳトランジスタＱ３，Ｑ４が機能することで、ＶｓｓからＶｄｄのほぼ全域で動作することができる。

【００４０】

【発明の効果】

以上説明したように、本発明によれば、制御手段により、前記ＭＯＳトランジスタのソース電位を強制的に前記入力電圧にすることにより前記バイアス電流供給手段によって変動した前記ＭＯＳトランジスタのゲート電位を前記容量手段に保持した後、前記容量手段に保持されたゲート電位を、前記ＭＯＳトランジスタのゲートに印加して前記ＭＯＳトランジスタを動作させることによって前記負荷を前記入力電圧で駆動するようにしたので、出力段部のロスを極力減らし、データドライバ、ひいては液晶表示装置全体の低消費電力化を実現することができるという利点が得られる。

【図面の簡単な説明】

【図１】　本発明の第１実施形態によるアナログバッファ回路の構成を示す等価回路図である。

【図２】　本第１実施形態によるアナログバッファ回路の動作を説明するためのタイミングチャートである。

【図３】　本発明の第２実施形態によるアナログバッファ回路の構成を示す等価回路図である。

【図４】　本第２実施形態によるアナログバッファ回路の動作を説明するためのタイミングチャートである。

【図５】　本発明の第３実施形態によるアナログバッファ回路の構成を示す等価回路図である。

【図６】　本発明の第４実施形態によるアナログバッファ回路の構成を示す

等価回路図である。

【図７】　本発明の第５実施形態によるによるアナログバッファ回路の構成を示す等価回路図である。

【図８】　一般的な液晶表示装置の構成を示すブロック図である。

【図９】　従来の液晶表示装置におけるバッファの回路構成を示す等価回路図である。

【符号の説明】

２１　ドレイン側の電流源（バイアス電流供給手段、第２のバイアス電流手段）

２２　ソース側の電流源（バイアス電流供給手段、第１のバイアス電流供給手段）

Ｃｉｎ　入力容量（容量手段）

Ｃｉｎ１　入力容量（第１の容量手段）

Ｃｉｎ２　入力容量（第２の容量手段）

２０　ＭＯＳトランジスタ

３５　ｎＭＯＳトランジスタ（第１のＭＯＳトランジスタ）

３６　ｐＭＯＳトランジスタ（第２のＭＯＳトランジスタ）

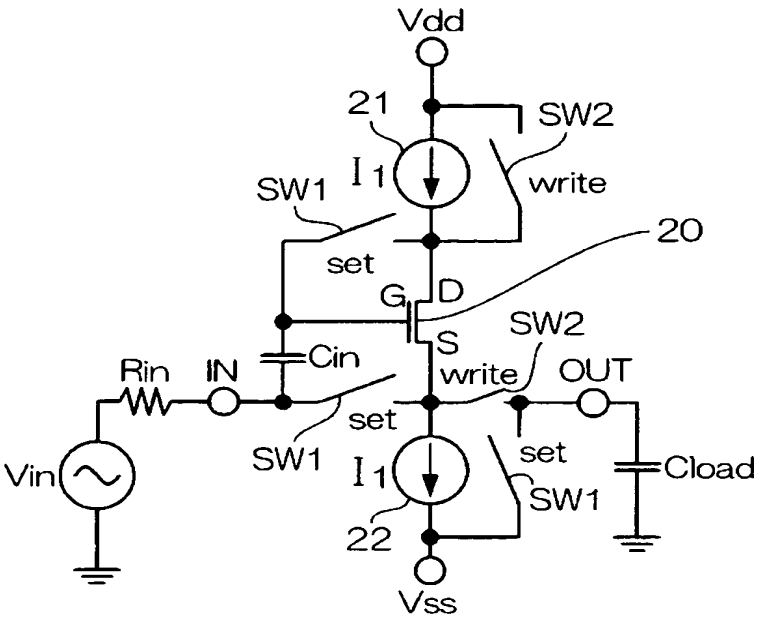
３７　ｐＭＯＳトランジスタ

３８　ｎＭＯＳトランジスタ

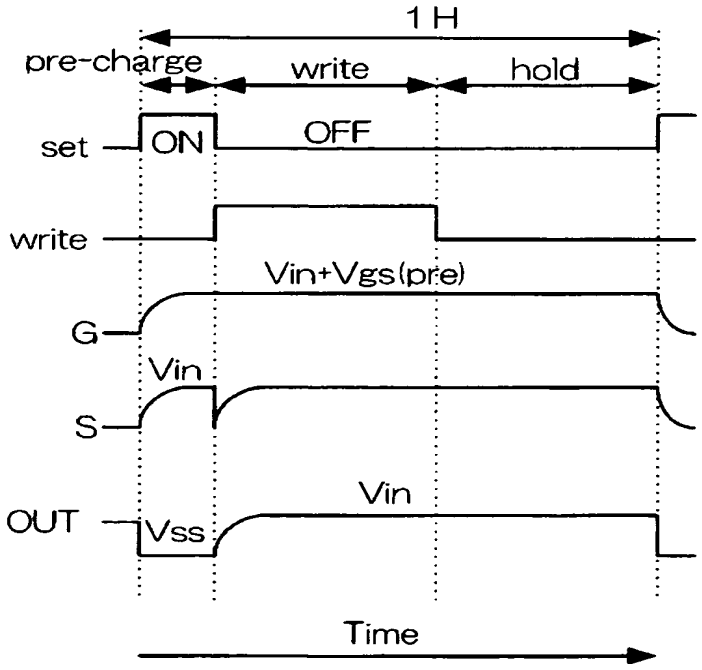
３０，４０　制御信号発生回路（制御信号発生手段）

【書類名】　図面

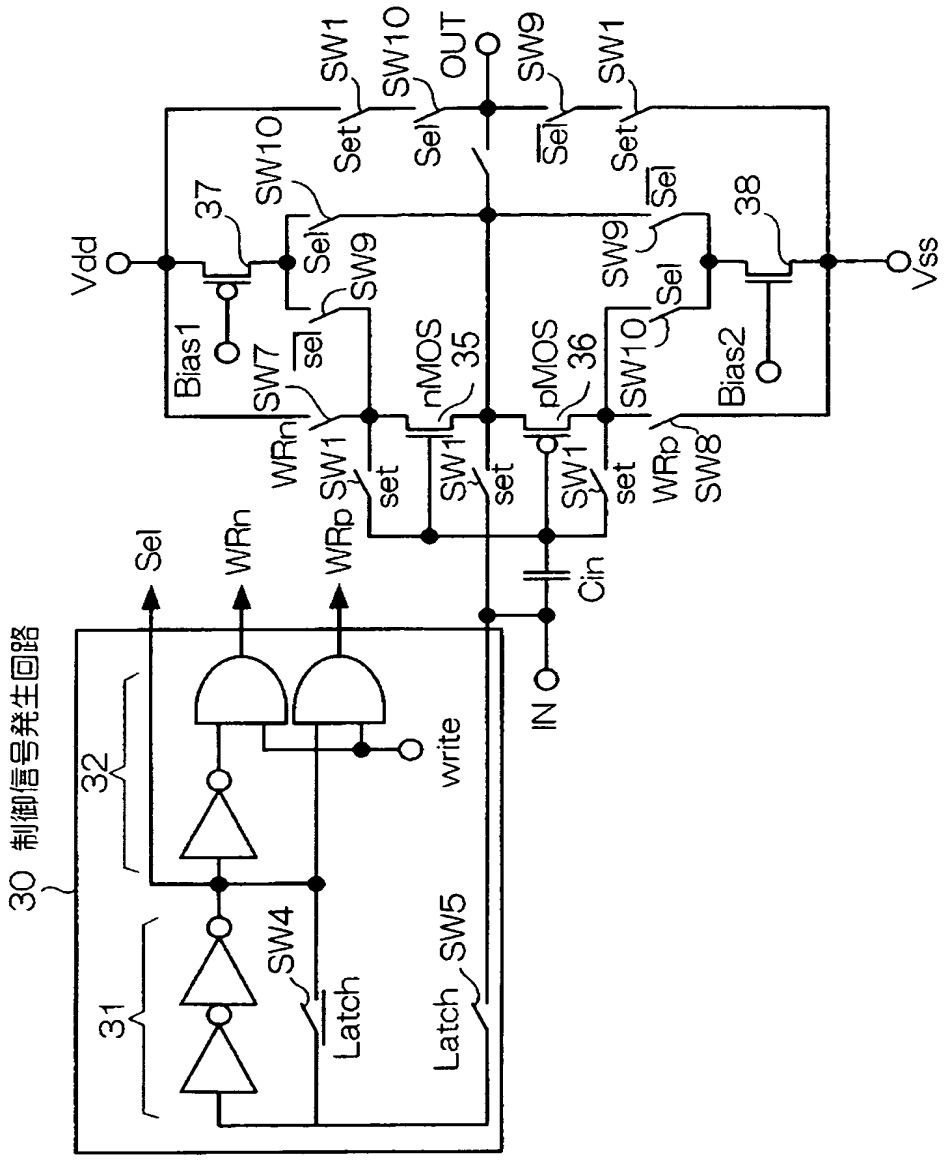
【図１】


Vdd
21
SW2
I1
SW1
write
20
set
G
D
S
SW2
Rin
IN
Cin
write
OUT
set
set
Vin
SW1
I1
set
SW1
Cload
22
Vss

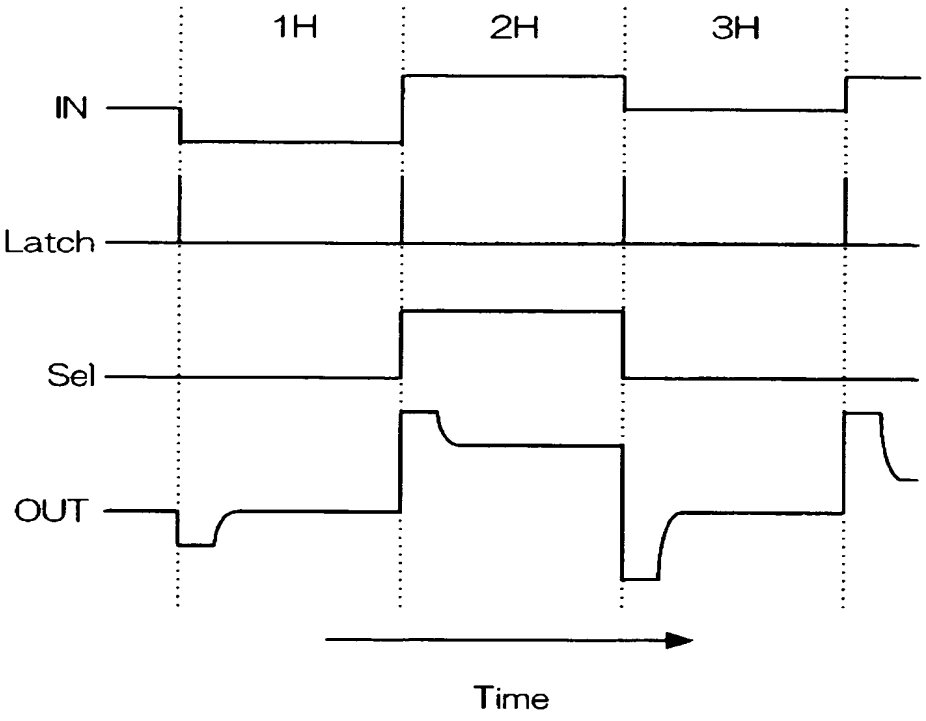
【図２】


1 H
pre-charge
write
hold
set
ON
OFF
write
Vin+Vgs(pre)
G
Vin
S
Vin
OUT
Vss
Time

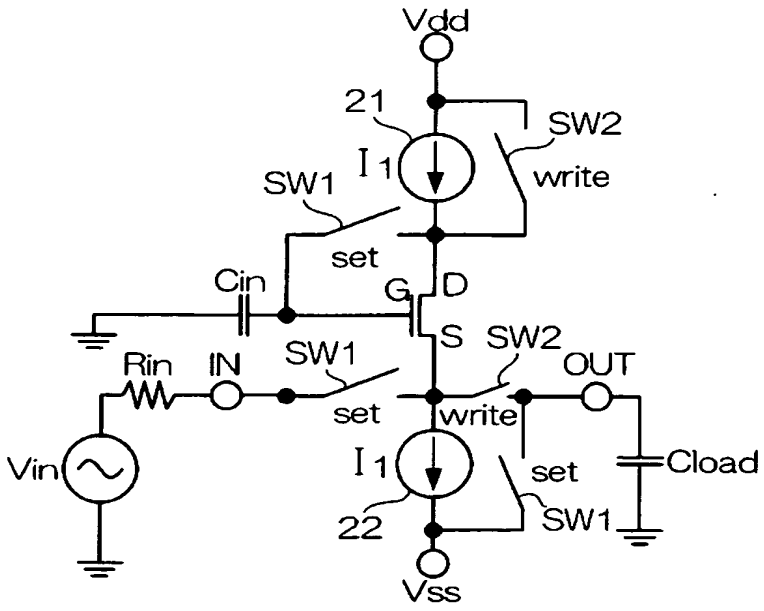
【図３】


SW1
SW10
OUT
SW9
SW1
Set
Sel
Sel
Set
SW10
37
Sel
SW9
Sel
38
Vdd
SW9
Sel
Vss
Bias1
SW7
sel
nMOS
35
pMOS
36
SW10
Bias2
WRn
SW1
set
SW1
set
SW1
set
WRp
SW8
WRp
WRn
Sel
Cin
IN
制御信号発生回路
30
32
write
31
SW4
Latch
Latch
SW5

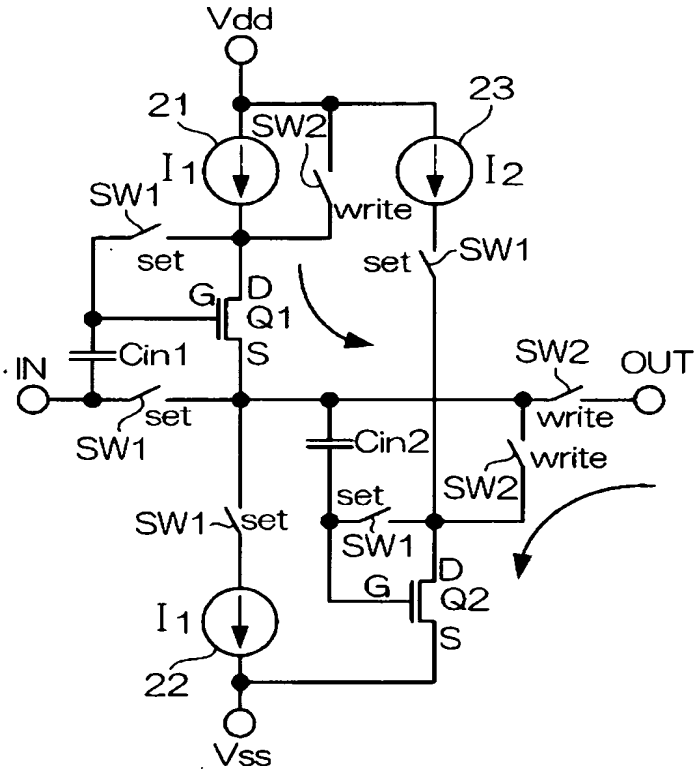
【図４】


1H
2H
3H
IN
Latch
Sel
OUT
Time

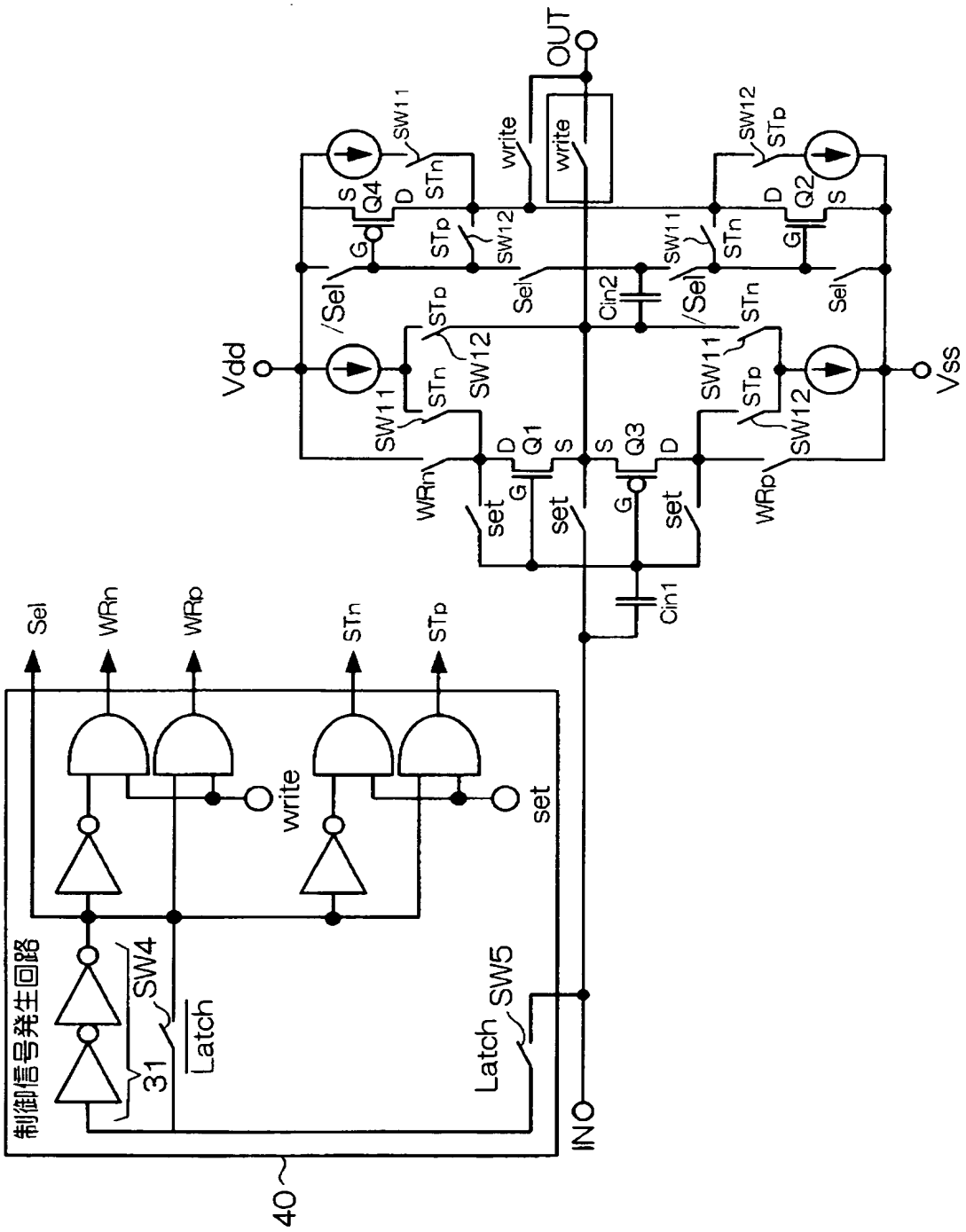
【図５】


Vdd
21
SW2
I1
write
SW1
set
Cin
G
D
S
SW2
Rin
IN
SW1
OUT
set
write
Vin
I1
set
Cload
22
SW1
Vss

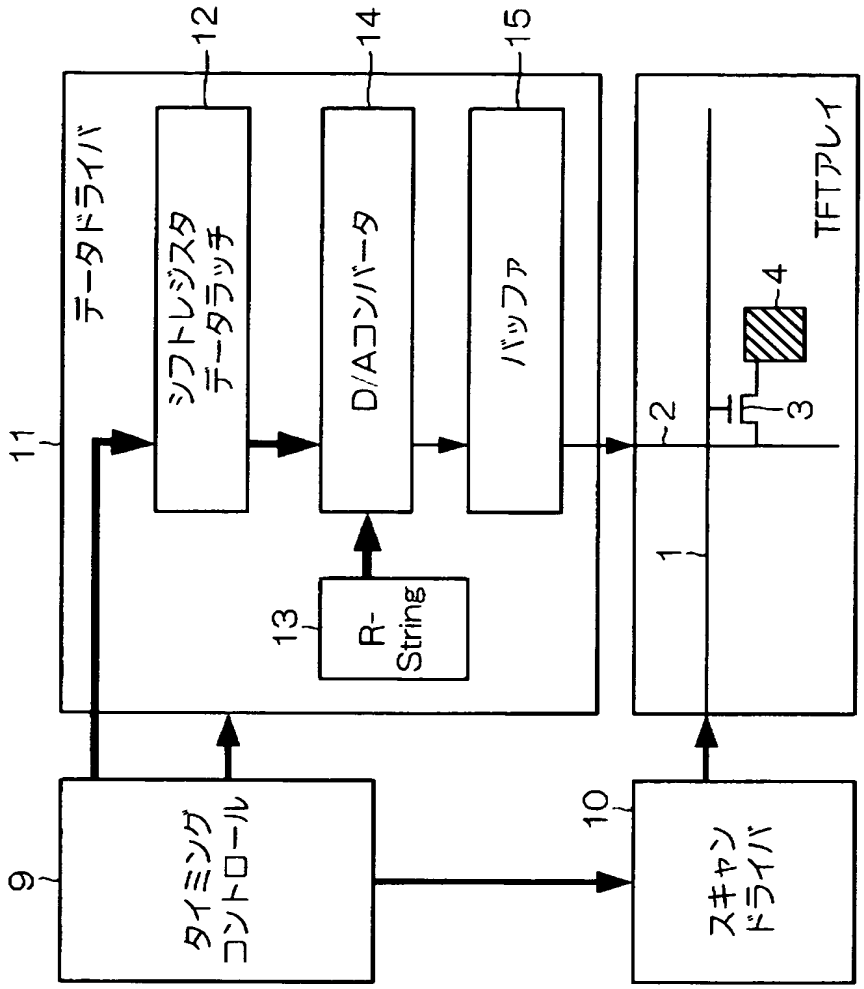
【図６】


Vdd
21
SW2
23
I1
I2
SW1
write
set
set
SW1
G
D
Q1
S
IN
Cin1
SW2
OUT
set
write
SW1
Cin2
write
SW2
set
SW1
set
SW1
D
G
Q2
S
I1
22
Vss

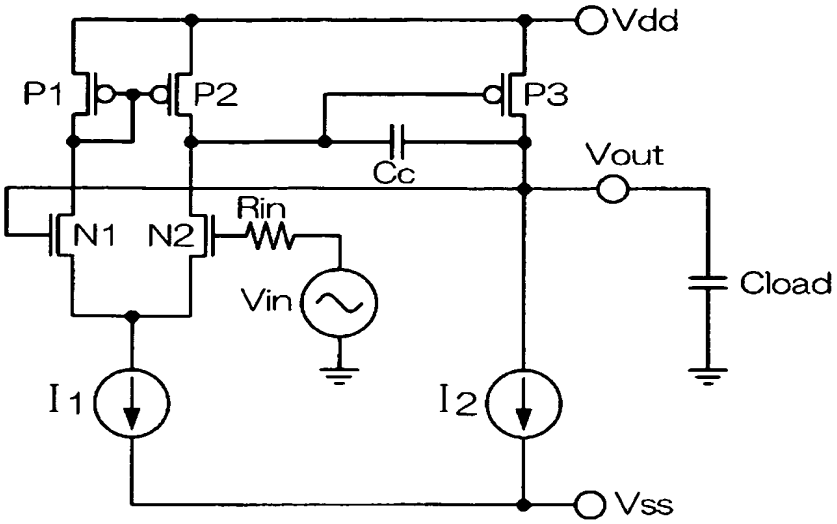
【図７】


OUT
write
SW11
SW12
STn
STp
Q4
Q2
Q1
Q3
Sel
/Sel
Cin2
Cin1
Vdd
Vss
WRn
WRp
set
制御信号発生回路
SW4
SW5
31
Latch
IN
40

【図８】


データドライバ
シフトレジスタ
データラッチ
D/Aコンバータ
バッファ
TFTアレイ
R-
String
タイミング
コントロール
スキャン
ドライバ
1
2
3
4
9
10
11
12
13
14
15

【図９】



【書類名】　　要約書

【要約】

【課題】　出力段部のロスを極力減らし、データドライバ、ひいては液晶表示装置全体の低消費電力化を実現する。

【解決手段】　ｓｅｔ信号が「H」となると、ｎＭＯＳトランジスタ２０がドレイン電流Ｉｌで、ソース電位Ｖｉｎを保つようなＶｇｓ（ｐｒｅ）が入力容量Ｃｉｎに保持される。次に、ｓｅｔ信号が「L」、ｗｒｉｔｅ信号が「H」となると、ｎＭＯＳトランジスタ２０は、ソースフォロワ動作し、負荷容量Ｃｌｏａｄを充電しながら、安定状態となる。負荷容量への書き込みが終わったタイミングで、ｓｅｔ信号、ｗｒｉｔｅ信号とも「L」にする。これにより、負荷容量に書き込み電圧を保持する。同時に、電流源２１，２２を強制的にオフすることにより、微小なバイアス電流Ｉｌが完全に止まり、電流消費が全くなくなる。

【選択図】　図１

認定・付加情報

特許出願の番号	特願２００２－３２２５４０
受付番号	５０２０１６７５９３５
書類名	特許願
担当官	第二担当上席　　００９１
作成日	平成１４年１１月　７日

＜認定情報・付加情報＞

【特許出願人】
- 【識別番号】 000010098
- 【住所又は居所】 東京都大田区雪谷大塚町１番７号
- 【氏名又は名称】 アルプス電気株式会社

【代理人】 申請人
- 【識別番号】 100064908
- 【住所又は居所】 東京都新宿区高田馬場３丁目２３番３号　ＯＲビル　志賀国際特許事務所
- 【氏名又は名称】 志賀　正武

【選任した代理人】
- 【識別番号】 100108578
- 【住所又は居所】 東京都新宿区高田馬場３丁目２３番３号　ＯＲビル　志賀国際特許事務所
- 【氏名又は名称】 高橋　詔男

【選任した代理人】
- 【識別番号】 100089037
- 【住所又は居所】 東京都新宿区高田馬場３丁目２３番３号　ＯＲビル　志賀国際特許事務所
- 【氏名又は名称】 渡邊　隆

【選任した代理人】
- 【識別番号】 100101465
- 【住所又は居所】 東京都新宿区高田馬場３丁目２３番３号　ＯＲビル　志賀国際特許事務所
- 【氏名又は名称】 青山　正和

【選任した代理人】
- 【識別番号】 100094400
- 【住所又は居所】 東京都新宿区高田馬場３丁目２３番３号　ＯＲビル　志賀国際特許事務所

次頁有

認定・付加情報（続き）

【氏名又は名称】　鈴木　三義
【選任した代理人】
【識別番号】　100107836
【住所又は居所】　東京都新宿区高田馬場３丁目２３番３号　ＯＲビル　志賀国際特許事務所
【氏名又は名称】　西　和哉
【選任した代理人】
【識別番号】　100108453
【住所又は居所】　東京都新宿区高田馬場３丁目２３番３号　ＯＲビル　志賀国際特許事務所
【氏名又は名称】　村山　靖彦

次頁無

特願２００２－３２２５４０

出　願　人　履　歴　情　報

識別番号　　［０００００１００９８］

１．変更年月日　　１９９０年　８月２７日
［変更理由］　　新規登録
住　所　　東京都大田区雪谷大塚町１番７号
氏　名　　アルプス電気株式会社